

Partial English Translation of  
LAID OPEN unexamined  
JAPANESE PATENT APPLICATION  
Publication No. 10-207704



[0031] A method of modifying an instruction fixedly stored in a ROM of the present program changing device is described next.

(1) When a modification is necessitated due to a bug or a modification of specification in a program fixedly stored on a ROM 2, an instruction code to be modified or an address value where a first instruction code of the program to be modified is to be stored is stored into a modification address register 31.

(2) A modification program is stored into a RAM 6.

(3) A start address of the modification program stored in the RAM 6 is stored into an address predetermined on the RAM 6.

[0032] The above described operations are carried out at reset start of a microcomputer by reading necessary data from an external nonvolatile memory or the like through a serial interface, a parallel interface or the like which is generally built in the microcomputer.

[0033] For the above described operations, a program initiated in an initialization program initiated after reset start of the microcomputer according to a state of the data stored in a specified address of the external nonvolatile memory or a state of a terminal of the microcomputer may be built beforehand on the ROM 2.

[0034] When a read operation of the instruction code to be modified is carried out during the operation of the microcomputer

so set as above, a match with the address value stored in the modification address register is detected by a comparator 32, so that a match signal is output.

[0035] The match signal is input into an instruction decoder 5, then the match is detected at a timing of decoding an instruction operation code by match signal detection means provided at the instruction match 5. When that the instruction operation code to be decoded is the modification instruction code to be modified is detected, a microinstruction is initiated to perform following operations.

(1) A start address value of the modification program is obtained from a given address on the RAM 6.

(2) Unconditional branch toward the thus obtained start address value is performed and the address value is set to a program counter 1.

[0036] The modification program stored on the RAM 6 is read out and executed by sequentially incrementing (or decrementing) the program counter 1.

[0037] The branch instruction to the address on the ROM 2 is executed at the end of the modification program, thereby terminating the program modification.

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-207704

(43)Date of publication of application : 07.08.1998

(51)Int.Cl.

.G06F . 9/06  
G06F 11/28

(21)Application number : 09-006006

(71)Applicant : MATSUSHITA ELECTRIC IND CO  
LTD

(22)Date of filing : 17.01.1997

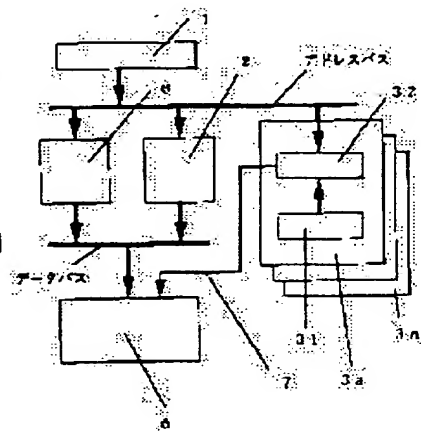
(72)Inventor : TANAKA KEISUKE  
MATSUZAKI TOSHIMICHI  
NISHIMURA MOTONAGA

## (54) DEVICE FOR CHANGING PROGRAM OF MICROCOMPUTER

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide the program changing device of a microcomputer for reducing the increase of a circuit scale to the minimum, relaxing the limitation of the size of a correction program, and reducing time delay until the execution of the correction program is started to the minimum.

**SOLUTION:** This device is provided with a correction address register 31 and a comparator circuit 32. The values of an ROM fetch address and the correction address register are compared by the comparator circuit 32, and the result is transmitted to an instruction decoder 5. The instruction decoder 5 detects coincidence obtained by the comparator circuit 32, and obtains the start address of a correction program from a prescribed address on an RAM 6 by the execution of a microinstruction. Then, the execution of the program is branched to the start address of the correction program in the same RAM 6.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-207704

(43) 公開日 平成10年(1998) 8月7日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

G 0 6 F 9/06

5 4 0

G 0 6 F 9/06

5 4 0 N

11/28

3 3 0

11/28

3 3 0 C

審査請求 未請求 請求項の数 9 O L (全 12 頁)

(21) 出願番号

特願平9-6006

(22) 出願日

平成9年(1997) 1月17日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 田中 啓介

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 松崎 敏道

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 西村 始修

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

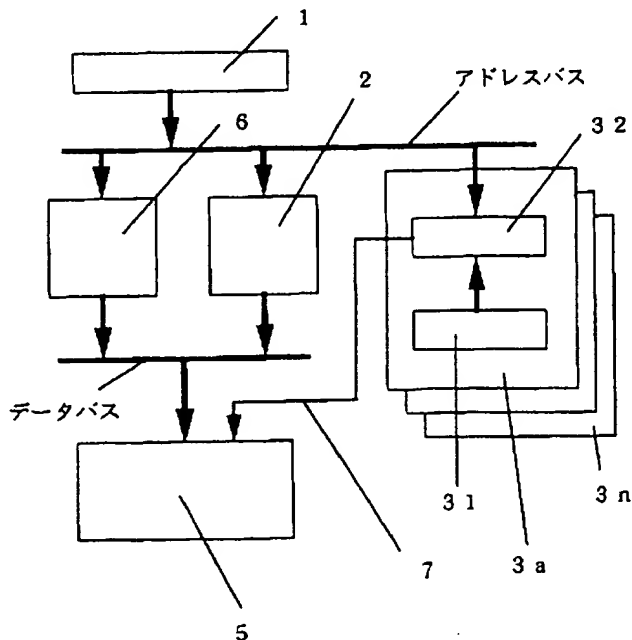
(74) 代理人 弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 マイクロコンピュータのプログラム変更装置

(57) 【要約】

【課題】 回路規模の増大を最小限に留め、修正プログラムの大きさの制限を緩和し、修正プログラムの実行を開始するまでの時間遅れを最小限に留めることのできるマイクロコンピュータのプログラム変更装置を提供する。

【解決手段】 修正アドレスレジスタ31と比較回路32とを備え、ROMフェッチアドレスと修正アドレスレジスタの値を比較回路32で比較し、その結果を命令解読器5へ送出し、命令解読器5では比較回路32での一致を検出するとマイクロ命令の実行によりRAM6上の所定のアドレスから修正プログラムの開始アドレスを取得し、プログラムの実行を同RAM6内の修正プログラムの開始番地へ分岐させるという構成を有する。



## 【特許請求の範囲】

【請求項1】読み出し専用メモリ（ROM）とランダムアクセスメモリ（RAM）と演算及び制御を行う中央演算装置（CPU）を同一チップ内に集積したマイクロコンピュータで、前記ROMに格納された命令に修正箇所が生じた場合に、その修正箇所から前記RAM内に格納された修正プログラムに実行を分岐させるマイクロコンピュータのプログラム変更装置であって、

修正プログラムが前記RAM内に格納され、その開始アドレスを同RAM内の予め定められた所定のアドレスに格納し、

前記ROMの所望の修正箇所のアドレスを格納する為の修正アドレス記憶手段と、

命令をフェッチする為の前記ROMへの読み出しアドレスと、前記修正アドレス記憶手段に格納されたアドレスとを比較し、一致した場合に一致信号を出力する比較回路とを具備し、

CPUの命令解読器は、前記比較回路が一致信号を出力した事を検知する手段を備え、一致信号を検知すると前記命令解読器はマイクロ命令の実行により前記RAMの所定のアドレスから修正プログラムの開始アドレスを取得し、プログラムの実行を同RAM内の修正プログラムの開始番地へ分岐させる事の特徴とするマイクロコンピュータのプログラム変更装置。

【請求項2】修正アドレス記憶手段と命令のフェッチアドレスが一致すると、前記ROMから読み出された命令コードと前記比較回路の一致信号を同時にCPUへ入力し、CPUは前記命令コードと一致信号を同命令コードの解読タイミングまで保持する手段を具備し、同命令コードの解読時にCPUの命令解読器は入力された一致信号により同命令コードが修正すべき命令コードであることを検知する手段を備える事の特徴とする請求項1に記載のマイクロコンピュータのプログラム変更装置。

【請求項3】修正アドレス記憶手段と比較回路を複数組備えることを特徴とする請求項1または請求項2に記載のマイクロコンピュータのプログラム変更装置。

【請求項4】読み出し専用メモリ（ROM）とランダムアクセスメモリ（RAM）と演算及び制御を行う中央演算装置（CPU）を同一チップ内に集積したマイクロコンピュータで、

前記ROMに格納された命令に修正箇所が生じた場合に、その修正箇所から前記RAM内に格納された修正プログラムに実行を分岐させるマイクロコンピュータのプログラム変更装置であって、

修正プログラムが前記RAM内に格納され、その開始アドレスを同RAM内の予め定められた所定のアドレスに格納し、

前記ROMの所望の修正箇所のアドレスを格納する為の修正アドレス記憶手段と、命令のフェッチアドレスと、前記修正アドレス記憶手段に格納されたアドレスとを比

較し、一致した場合に一致信号を出力する比較回路とを最大で $2^n - 1$ 組備え（ $n$ は自然数）、

前記最大で $2^n - 1$ 本の一致出力から、どの比較回路が一致したかを示す $n$ 本の一致デコード信号を生成するデコード回路を具備し、前記一致デコード信号の状態の内、一組の特定の状態（全ての信号が0又は1）を全ての比較回路が不一致の状態とし、

前記一致デコード信号を命令コードと同時にCPUへ入力し、CPUは前記命令コードと一致デコード信号を同命令コードの解読タイミングまで保持する手段を備え、同命令コードの解読時にCPUの命令解読器は入力された一致信号により同命令コードが修正すべき命令コードであることを検知する手段と、前記一致デコード信号から修正プログラムの開始アドレスが格納された前記RAM内の所定のアドレスを生成する手段を備え、

修正が必要である事を検知すると、前記命令解読器はマイクロ命令の実行により前記アドレス生成手段により生成された前記RAMの所定のアドレスから修正プログラムの開始アドレスを取得し、プログラムの実行を同RAM内の修正プログラムの開始番地へ分岐させる事の特徴とするマイクロコンピュータのプログラム変更装置。

【請求項5】請求項4に記載の命令コードと一致デコード信号を同命令コードの解読タイミングまで保持する手段として、

CPUは解読する命令コードを格納する為の命令レジスタと少なくとも1段以上のプリフェッチされた命令コードを格納する命令キューを備え、一致デコード信号は命令コードと同じ段数の一時記憶手段上を、命令コードと同期して転送させる事の特徴とするマイクロコンピュータのプログラム変更装置。

【請求項6】請求項4に記載の修正すべき命令コードであることを検知する手段として一致デコード信号を命令コードと同時に命令解読器に入力し、

命令解読器では修正すべき命令コードであることを示す一致デコード信号が入力されると命令コードとは無関係に前記RAMの所定のアドレスから修正プログラムの開始アドレスを取得し、プログラムの実行を同RAM内の修正プログラムの開始番地へ分岐させるマイクロ命令を実行させる事の特徴とするマイクロコンピュータのプログラム変更装置。

【請求項7】CPUの命令解読器に少なくとも命令レジスタの出力とマイクロアドレスポインタの出力を入力するマイクロコンピュータであって、前述請求項4に記載の修正すべき命令コードであることを検知する手段として、命令コードを命令レジスタに格納する時に修正すべき命令コードであることを示す一致デコード信号が入力されていると命令レジスタとマイクロアドレスポインタに特定の値を設定し、命令解読器では前記特定の値をデコードすると、前記RAMの所定のアドレスから修正プログラムの開始アドレスを取得し、プログラムの実行を同

RAM内の修正プログラムの開始番地へ分岐させるマイクロ命令を実行させる事の特徴とするマイクロコンピュータのプログラム変更装置。

【請求項8】請求項4に記載の修正プログラムの開始アドレスが格納された前記RAM内の所定のアドレスを生成する手段として、CPUに入力された一致デコード信号を、RAMアドレスの特定のnビットに出力する事の特徴とするマイクロコンピュータのプログラム変更装置。

【請求項9】命令オペレーションコードとそれに続くオペランドから構成される命令コードの語調が一度にフェッチするデータのビット幅のn分の1 ( $n=2$ 又は4)の整数倍で、連続する命令コードの境界が同時にフェッチするデータの中間位置に存在する場合があるマイクロコンピュータであって、

修正アドレス記憶手段には修正が必要な命令の命令オペレーションコードの先頭が存在するROMのアドレスを格納し、

修正アドレス記憶手段と命令フェッチアドレスが一致したことを示す一致デコード信号を前記命令オペレーションコードの先頭が存在するフェッチデータと同時にCPUへ入力し、

CPUは修正が必要な命令コードの解読タイミングまで一致デコード信号を保持する手段を備え、

修正が必要な命令コードの先頭が含まれるフェッチデータから抽出した命令オペレーションコードの解読時にCPUの命令解読器は入力された一致信号により同命令コードが修正すべき命令コードである事を検知する手段を備え、

修正が必要である事を検知すると、前記命令解読器はマイクロ命令の実行により前述RAMの所定のアドレスから修正プログラムの開始アドレスを取得し、プログラムの実行を同RAM内の修正プログラムの開始番地へ分岐させる事の特徴とするマイクロコンピュータのプログラム変更装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はマイクロコンピュータに内蔵されたROMに固定記憶されたプログラムを半導体集積回路の製造後に修正し、正常に動作させる事ができるマイクロコンピュータのプログラム変更装置に関するものである。

【0002】

【従来の技術】近年の電子機器にはその高機能化、高性能化に対応する為にマイクロコンピュータが多く利用されている。一般的にこれらのマイクロコンピュータの動作を決めるプログラムは読み出し専用メモリ（以下ROMと略す）に格納される。特に民生機器等の大量生産されるような機器に使用される場合は、その単価が安い等の理由から半導体集積回路の製造工程時にプログラムを

固定設置するマスクROMが用いられる場合が多い。しかしながら前記マスクROMは製造工程時にプログラムを固定設置する為、製造後に仕様変更の発生やプログラムミスの発覚等の理由によりプログラムに修正を加えても不可能であり、最悪の場合は完成品を廃棄せざるをえなかった。また、プログラムに修正を加えるためには再度マイクロコンピュータを製造するしか方法が無く費用と時間を浪費すると言う問題があった。

【0003】これらの問題を解決するために従来よりいくつかのプログラム変更装置が考案され、この装置をマイクロコンピュータに内蔵することで製造後のマイクロコンピュータに対してプログラムの修正を可能ならしめている。

【0004】図8は従来のプログラム変更装置の第1の実施例である。図において1はプログラムカウンタ、2はプログラムが格納されるROM、31は修正アドレスレジスタ、32は比較回路、33は修正命令レジスタ、4は選択回路、5は命令解読器である。

【0005】通常マイクロコンピュータはプログラムカウンタ1により指し示されたROM2上の命令を順次読み出し、命令解読器5で解読後、マイクロ命令等の実行により基本動作を行う。

【0006】本従来例のプログラム変更装置では、修正が必要な命令が格納されるアドレスを修正アドレスレジスタ31に、修正後の命令を修正命令レジスタに格納する。修正アドレスレジスタ31とプログラムカウンタ1の値は常に比較回路32により比較され、一致を検出すると選択回路4を修正命令レジスタ側に切り替え、ROMからではなく、修正命令レジスタに格納される命令コードを命令解読器へ供給する事で命令の修正を行っている。修正アドレスレジスタ31と比較回路32及び修正命令レジスタ33で構成されるプログラム変更装置3aは、一つのアドレスに格納される命令を修正する為に一組必要であり、通常は複数のアドレスの命令を修正する為に複数組のプログラム変更装置3a～3nが実装される。

【0007】図9は従来のプログラム変更装置の第2の実施例である。図において1はプログラムカウンタ、2はプログラムが格納されるROM、31は修正アドレスレジスタ、32は比較回路、34は割込ベクタレジスタ、5は命令解読器、6はRAMである。

【0008】本従来例のプログラム変更装置では、修正が必要な命令が格納されるアドレスを修正アドレスレジスタ31に、一連の修正プログラムをRAM6に、修正プログラムの開始アドレスを割込ベクタレジスタ34に格納する。修正アドレスレジスタ31とプログラムカウンタ1の値は常に比較回路32により比較され、一致を検出すると割込要求信号を発生する。CPUが割込要求信号を受理すると、現在のプログラムカウンタ値等をスタックに退避し、割込ベクタレジスタ34から割込分岐

先のアドレスを読み出し、プログラムカウンタ1に設定する。この場合割込ベクタレジスタにはRAM上に格納した修正プログラムの開始番地が格納されており、割込処理プログラムとして、修正プログラムを実行することになる。

【0009】図10は従来のプログラム変更装置の第3の実施例である。図において1はプログラムカウンタ、2はプログラムが格納されるROM、31は修正アドレスレジスタ、32は比較回路、35は分岐アドレスレジスタ、4は選択回路、5は命令解読器、36は分岐命令発生回路である。

【0010】本従来例のプログラム変更装置では、修正が必要な命令が格納されるアドレスを修正アドレスレジスタ31に、一連の修正プログラムをRAM6に、修正プログラムの開始アドレスを分岐アドレスレジスタ35に格納する。修正アドレスレジスタ31とプログラムカウンタ1の値は常に比較回路32により比較され、一致を検出すると選択回路4を分岐命令発生回路側に切り替え、ROMからではなく、分岐命令発生回路により生成される分岐命令コードを命令解読器へ供給する。前記分岐命令発生回路では分岐命令の命令オペレーションコードと、それに続くオペランドとして分岐アドレスレジスタに格納される値を発生する。すなわちCPUは修正プログラムの開始番地への分岐命令を解読・実行する事になり、結果として修正プログラムを実行することになる。

【0011】

【発明が解決しようとする課題】しかしながら従来のプログラム変更装置には下記のような問題があった。

【0012】第1の従来例では、比較回路32、修正アドレスレジスタ31、修正命令レジスタ33からなる一組のプログラム変更装置で修正可能な命令は一箇所のアドレスに対応する命令コード（例えば8ビットマイクロコンピュータでは1バイトの命令コード）のみである。プログラム変更装置と修正命令コードが1対1に対応する為、複数の命令コードを修正可能とするには複数組のプログラム変更装置を実装する必要がある。通常は8組から16組程度実装される場合が多い。一般的な8ビットマイクロコンピュータでは16ビット～24ビット、16ビットマイクロコンピュータでは24ビット～32ビットのアドレス線を有している。すなわち前記プログラム変更装置の比較回路及び修正アドレスレジスタはアドレス線と同じビット幅を備える必要があり、またそれらと同じ数の修正命令レジスタ（一組あたりのビット幅は一般的には8ビットマイクロコンピュータの場合は8ビット、16ビットマイクロコンピュータの場合は16ビット）が必要となり、複数組備えとなると回路規模を増大するという問題を生じる。また逆に修正プログラムの大きさは実装されるプログラム変更装置の組数に制限されてしまうという問題もある。

【0013】第2の従来例では、一般的な割込を用いて修正プログラムを実行させる方式である為、プログラムカウンタ1やプログラム状態語PSW（図示せず）のスタックへの退避動作を伴う。従ってその為のスタック領域の確保が必要であり、RAMを浪費するという問題がある。またスタックへの退避動作の為の時間が必要となり、実行までの時間的なロスが発生する。この事はスピードを要する処理に取っては致命的になりかねない。更に、近年のマイクロコンピュータでは処理速度の高速化の為に命令の先読みという技術を用いられることが一般的で、ROMの読み出しの為のプリフェッチアドレスと、実際にCPUが実行している命令の実行アドレスとは異なっている。その為プリフェッチアドレスと修正アドレスレジスタ31の値を比較回路32で比較して、一致した場合に割込を発生させ、修正プログラムを実行させたとしても正しくその命令を修正したこととはならないという問題を生じる。なぜなら、例えば一致を検出した時に実行中の命令が分岐命令であった場合修正アドレスレジスタで指定した命令を実行しない場合がある。従って命令先読み技術を利用したマイクロコンピュータにおいては実行アドレスとの比較が必要であるが、一般的には命令実行アドレスを保持するレジスタは実装されていない場合が多く、プログラム変更装置の為に前記実行アドレスレジスタを設けることは回路規模を増大させるという問題を生じる。

【0014】第3の従来例では、修正アドレスレジスタ31とプログラムカウンタ1を比較回路32で比較し一致した場合に分岐命令を発生するという方式であり、特定の分岐命令を発生させる為に分岐命令発生回路36が必要となり回路規模を増大させるという問題がある。更に以下に示す問題も発生する。

【0015】近年のマイクロコンピュータでは命令のコードサイズを縮小する為に命令コードのビット長の基本単位をROMからの読み出しビット幅よりも小さくする場合がある。図7は縮小化命令コードのフォーマットの一例を示す。例えば図は16ビットマイクロコンピュータであるとする。一般的な16ビットマイクロコンピュータでは命令コードのビット長の基本単位は16ビットとなり、命令オペレーションコードとそれに続くオペランドを合わせた命令の全ビット長は16ビットの倍数になる。また一般的な16ビットマイクロコンピュータではROMからの命令の読み出しを16ビット幅で行う為、連続する命令の境界が読み出したROMデータの間中に存在することはあり得ない。しかし縮小化命令コードのマイクロコンピュータでは図7(a)の命令nに示すように命令オペレーションコードが16ビット(M0～M1の2バイト)で続くオペランドが24ビット(M2～M4の3バイト)であるような場合が存在する。この場合の命令コードの全ビット長は40ビット(M0～M4の5バイト)となり16ビット(2バイト)の整数

倍にはならない。このような場合ROMからの読み出しが1,6ビット幅であると図7(b)に示すように読み出したROMデータの間中に連続する命令の境界が存在する場合が存在する。同様のことが8ビットマイクロコンピュータや32ビットマイクロコンピュータでも存在し得る。ROMへの命令フェッチアドレスだけを比較して命令コードを分岐命令のコードにすり替える従来の方式では、読み出しデータの間を命令の境界として分岐命令を生成する事は不可能である。なぜなら分岐命令に同梱される修正命令直前の命令の最終コードを一意に決める事ができないからである。

【0016】本発明は前述の課題を解決し、(1)回路規模の増大を最小限に留め、(2)修正プログラムの大きさの制限を緩和し、(3)修正プログラムの実行を開始するまでの時間遅れを最小限に留め、(4)命令先読み技術を用いたマイクロコンピュータでも修正箇所のアドレスを直接指定可能で、(5)縮小化命令を用いたマイクロコンピュータでも修正箇所のアドレスを直接指定可能なマイクロコンピュータのプログラム変更装置を提供する事で、ROMに固定記憶された命令の修正をマイクロコンピュータの製造後に可能ならしめる事を目的とする。

【0017】

【課題を解決するための手段】前述の課題を解決するために本発明のプログラム変更装置は、修正アドレスレジスタと比較回路と一致検出手段を備え、ROMフェッチアドレスと修正アドレスレジスタの値を比較回路で比較し、その結果を命令解読器へ送出し、命令解読器では一致検出手段にて比較回路での一致を検出するとマイクロ命令の実行によりRAM上の所定のアドレスから修正プログラムの開始アドレスを取得し、プログラムの実行を同RAM内の修正プログラムの開始番地へ分岐させるという構成を有している。これにより

(1)回路規模の増大を最小限に留め、(2)修正プログラムの大きさの制限を緩和し、(3)修正プログラムの実行を開始するまでの時間遅れを最小限に留め、

(4)命令先読み技術を用いたマイクロコンピュータでも修正箇所のアドレスを直接指定可能で、(5)縮小化命令を用いたマイクロコンピュータでも修正箇所のアドレスを直接指定可能なマイクロコンピュータのプログラム変更装置が得られる。

【0018】

【発明の実施の形態】本発明の請求項1に記載の発明は、修正アドレスレジスタと比較回路と一致検出手段を備え、ROMフェッチアドレスと修正アドレスレジスタの値を比較回路で比較し、その結果を命令解読器へ送出し、命令解読器では一致検出手段にて比較回路での一致を検出するとマイクロ命令の実行によりRAM上の所定のアドレスから修正プログラムの開始アドレスを取得し、プログラムの実行を同RAM内の修正プログラムの

開始番地へ分岐させる様にしたもので、プログラム変更装置を実現する為に必要な回路規模を最小限に留めることができるという作用を有する。

【0019】本発明の請求項2に記載の発明は、比較回路からの一致信号を命令の解読タイミングまで保持するようにしたもので、命令先読み技術を用いたマイクロコンピュータで実行アドレスと、ROM読み出しアドレスが異なる場合でも、単にROM読み出しアドレスとの比較を行うだけで、該当命令の実行時に修正が可能であるという作用を有する。

【0020】本発明の請求項3に記載の発明は、修正アドレス記憶手段と比較回路を複数組備えたものであり、複数箇所のプログラムの修正が可能であるという作用を有する。

【0021】本発明の請求項4に記載の発明は、修正アドレス記憶手段と比較回路を複数組備え、更に比較回路の一致出力信号をデコードした信号を命令の解読タイミングまで保持するようにしたもので、前述の請求項1から請求項3までの作用に加え、修正箇所を複数にした場合でも、一致信号の保持に必要な回路規模を最小限に留めることができるという作用を有する。

【0022】本発明の請求項5に記載の発明は、一致信号を命令コードの転送に同期して転送するもので、一致信号の転送タイミングと命令コード転送タイミングを共用化できるという作用を有する。

【0023】本発明の請求項6に記載の発明は、一致信号を直接命令解読器に入力するようにしたもので、一致の検出を容易に実現できるという作用を有する。

【0024】本発明の請求項7に記載の発明は、一致の検出手段として命令解読器に入力される命令レジスタとマイクロアドレスポインタに特定の値を設定するようにしたもので、命令解読器への入力信号を増加させることなく一致の検出ができるという作用を有する。

【0025】本発明の請求項8に記載の発明は、一致信号のデコード値を直接RAMアドレスの一部として使用するようにしたもので、修正プログラムの開始アドレス取得手段としてのアドレス発生回路の回路規模を増大させることなく容易に実現できるという作用を有する。

【0026】本発明の請求項9に記載の発明は、修正が必要な命令の解読タイミングで一致の検出を行うようにしたもので、縮小化命令コードを用いたマイクロコンピュータであっても、ROM読み出しアドレスとの比較を行う事で、該当命令の修正が可能であるという作用を有する。

【0027】以下本発明の実施例について、図面を参照しながら説明する。図1は本発明の一つの実施例を示すブロック図であり、1はプログラムカウンタ、2はプログラムが格納されるROM、31は修正アドレスレジスタ、32は比較回路、5は命令解読器、6はRAM、7は一致信号である。修正アドレスレジスタ31と比較回



路32からなるプログラム変更装置は複数の命令を修正するために複数組実装される(3a~3n)。プログラムカウンタ1とROM2、比較回路32及びRAM6はアドレスバスにより接続され、ROM2と命令解読器5及びRAM6はデータバスにより接続される。

【0028】修正アドレスレジスタ31にはROM2に格納される一連の命令コードの修正箇所(不具合箇所)のアドレスを格納する。修正箇所が複数行に及ぶ場合は、その修正箇所の先頭の命令コードが格納されるアドレスを格納する。

【0029】比較回路32は修正アドレスレジスタに格納されたアドレス値とROM2に格納された命令コードを読み出すためにプログラムカウンタ1からアドレスバスに出力されたアドレス値とを比較し、両アドレス値の一致を検出すると一致信号7を出力する。

【0030】通常マイクロコンピュータは、プログラムカウンタ1によりアドレス指示されたデータをROM2から順次読み出し、読み出したデータ中の命令オペレーションコードを命令解読器5で解読し、マイクロ命令を起動することで各種動作を実行する。一般的なマイクロコンピュータではROM2とRAM6が同一のメモリ空間に配置されることが多く、マイクロコンピュータに内蔵されるRAMにはCPU(図示せず)の実行に必要な情報がデータとして格納保持されることが多いが、プログラムカウンタ1がRAM6上のアドレスを指示する事で、RAM6上の命令コードを実行することも可能である。

【0031】次に本プログラム変更装置にてROMに固定記憶された命令を修正する方法について説明する。

(1) ROM2上に固定記憶されたプログラムに不具合や仕様変更等の理由により修正の必要が生じた場合、その被修正命令コード、又は一連の被修正プログラムの先頭の命令コードが格納されるアドレス値を修正アドレスレジスタ31に格納する。

(2) 修正プログラムをRAM6に格納する。

(3) RAM6に格納された修正プログラムの開始アドレスを、RAM6上の予め決められた所定のアドレスに格納する。

【0032】以上の操作をマイクロコンピュータのリセットスタート時に外部の不揮発性メモリ等から、マイクロコンピュータに一般的に装備されるシリアルインターフェースやパラレルインタフェース等を介して必要なデータを読み込む事で行う。

【0033】これらの動作は予めROM2上に、外部の不揮発性メモリの特定のアドレスに記憶されたデータの状態や、マイクロコンピュータの端子の状態により、マイクロコンピュータのリセットスタート後起動される初期設定プログラムの中で起動されるようなプログラムを組み込んでおけばよい。

【0034】上記の設定がなされたマイクロコンピュ

タが動作中に、被修正命令コードの読み出し動作を行うと、比較回路32により修正アドレスレジスタに格納されたアドレス値との一致が検出され、一致信号を出力する。

【0035】一致信号は命令解読器5に入力され、命令オペレーションコードの解読タイミングに前記命令解読器5に備えられた一致信号検知手段により一致が検知され、解読しようとする命令オペレーションコードが被修正命令コードである事を検知すると以下の動作を行うマイクロ命令を起動する。

(1) RAM6上の所定のアドレスから修正プログラムの開始アドレス値を取得する。

(2) 取得した開始アドレス値に無条件分岐し、プログラムカウンタ1にそのアドレス値を設定する。

【0036】以下プログラムカウンタ1を順次インクリメント(又はデクリメント)する事でRAM6上に格納された修正プログラムを読み出し、実行する。

【0037】修正プログラムの最後でROM2上のアドレスへの分岐命令を実行させることで一連のプログラム修正を完了させる。

【0038】修正アドレスレジスタ31と比較回路32からなるプログラム変更装置が1組につき一箇所のプログラム修正が可能である。従ってプログラム変更装置を複数組(3a~3n)備えることにより、複数箇所のプログラムの修正が可能である。通常は2~4組程度実装すれば十分である。

【0039】一般的にプログラム変更装置の組数が増大すると一致信号の本数も増大し、一致信号の保持手段や、命令解読器における一致の検知手段の回路規模が増大する。そこで回路規模の増大を最小限に留める為に以下の対策を行う。

【0040】図2は本発明におけるプログラム変更装置と一致信号出力手段を示すブロック図である。本図に於いてはプログラム変更装置が3組( $2^2-1$ )の場合について示すが、プログラム変更装置の組数が最大( $2^n-1$ )組の場合についても同様である。

【0041】図2(a)において3a~3cは3組のプログラム変更装置、31a~31cは修正アドレスレジスタ、32a~32cは比較回路、7a~7cは一致信号、8はデコーダ、81、82は一致デコード信号である。

【0042】修正アドレスレジスタ31a、31bにROM上の修正が必要な命令コードが格納されるアドレスを設定し、比較回路32a~32cを用いてアドレスバス上に出力された命令フェッチアドレスとの比較を行っている。命令フェッチアドレスと修正アドレスレジスタの値が一致すると比較回路32a~32cは一致信号7a~7cを出力する。マイクロコンピュータの命令実行により修正アドレスレジスタへのデータの書き込みや、読み出しが可能な事は言うまでもない。

【0043】デコーダ8は前記一致信号7a~7cを受け、図2(b)に示す真理値表に従って一致デコード信号81、82に変換する。具体的にはどの比較回路も一致信号を出力していない場合は一致デコード信号として(一致デコード信号82、一致デコード信号81)=(0,0)を、比較回路32aが一致信号を出力している場合は(0,1)を、比較回路32bが一致信号を出力している場合は(1,0)を、比較回路32cが一致信号を出力している場合は(1,1)を出力する。本真理値表では、プログラム変更装置の性格上複数の修正アドレスレジスタ31a~31cに同じ修正アドレスを指定することを想定していないが、必要であれば複数の一致信号7a、7bが同時に出力された場合は一致デコード信号として優先順位を付ければよい。例えば番号の若い比較回路の一致出力を優先する事等が考えられる。この場合は比較回路32aと32bが一致信号を出力している場合は(一致デコード信号82、一致デコード信号81)=(0,1)の一致デコード信号を出力すればよい。なお優先順位の付け方は任意である。またデコードの割り当ても任意に構成可能であるが、いずれの比較回路も一致信号を出力しない場合に全ての出力が同一(全て0又は全て1)になるようにする事が好ましい。

【0044】前述のような一致デコード信号を作成することにより、後述するように命令解読器における保持手段及び一致の検出手段が容易に構成できる。

【0045】図3は本発明の命令解読器の一つの実施例である。図に於いて80はn本の一致デコード信号であり、図2の実施例の場合は81、82の2本になる。9はPLAで、91はPLAを構成するAND部、92はOR部、A0は命令レジスタ、A1は命令キュー、B0及びB1は命令と同じタイミングで一致デコード信号を保持する一致デコード信号保持手段、Dはマイクロコンピュータの各部を制御し命令を実行させる制御信号である。

【0046】本実施例は命令先読み技術を用いたマイクロコンピュータにおける命令解読器を示す。通常プリフェッチアドレスにより指示され、読み出された命令コードはデータバスを経由して命令キューA1に格納される。次に命令解読タイミングに命令キューに格納された命令コードが命令レジスタに転送される。命令レジスタに格納された命令コードはPLAのAND部91へ入力し、解読されPLAのOR部92よりマイクロコンピュータの各部を制御する制御信号Dが出力され、各命令の実行を行う。

【0047】プログラムの変更を行う場合は下記の動作を行う。

(1) 図2の実施例に示したようなプログラム変更装置により、所望の修正アドレスとプリフェッチアドレスの比較を行い、一致した場合に出力される一致信号をデコードした一致デコード信号80を、プリフェッチされた

命令コードが命令キューに格納されるのと同時に一致デコード信号保持手段B1に格納する。

(2) 次に命令コードが命令レジスタに転送されるのと同時に一致デコード信号保持手段B0に転送し、命令解読タイミングに命令コードがPLAのAND部91に入力されるのと同時に一致デコード信号保持手段B0に格納される一致デコード信号をPLAのAND部91に入力する。

(3) PLAでは一致デコード信号が入力されると、

(図2の実施例では(0,1)、(1,0)、(1,1))命令コードの種別に無関係に以下の動作を実行するマイクロプログラムを起動する。

【0048】(a) RAM上の所定のアドレスから修正プログラムの開始アドレス値を取得する。

【0049】(b) 取得した開始アドレス値に無条件分岐し、プログラムカウンタにそのアドレス値を設定する。

(4) 以下プログラムカウンタを順次インクリメント(又はデクリメント)する事でRAM上に格納された修正プログラムを読み出し、実行する。

(5) 修正プログラムの最後でROM上のアドレスへの分岐命令を実行させることで一連のプログラム修正を完了させる。

【0050】なお本実施例では一致デコード信号を命令解読タイミングまで保持し、PLAのAND部に入力したが、デコードをしていない一致信号を命令解読タイミングまで保持し直接入力しても良い。

【0051】また本実施例では一致デコード信号をn本そのままPLAのAND部91に入力するように構成したが、図2の実施例のデコーダでは一致が生じた場合にはいずれかのビットが'1'となるため、n本の一致デコード信号をORゲートに入力し、1本の信号に集約する事で更に構成を簡単にできる。

【0052】図4は本発明の命令解読器の別の実施例である。図に於いて80はn本の一致デコード信号であり、図2の実施例の場合は81、82の2本になる。9はPLAで、91はPLAを構成するAND部、92はOR部、A0は命令レジスタ、A1は命令キュー、B0及びB1は命令と同じタイミングで一致デコード信号を保持する一致デコード信号保持手段、Cはマイクロアドレスポインタ、Dはマイクロコンピュータの各部を制御し命令を実行させる制御信号、Eはマイクロアドレス制御信号である。

【0053】一般的なマイクロコンピュータでは命令解読器にマイクロコード技術を用いられる事が多い。この場合ハードウェアとしてはPLAが用いられ、PLAのAND部入力には命令レジスタ値とマイクロアドレスポインタ値が入力される。またマイクロアドレスポインタは一つ前の状態によりマイクロアドレス制御信号にて決定される。すなわち命令レジスタ値とマイクロポインタ

値で各命令の実行状態が決められる。

【0054】本実施例では図3の実施例と同様に、下記の動作を行う。

(1) 所望の修正アドレスとプリフェッチアドレスの比較を行い、一致した場合に出力される一致信号をデコードした一致デコード信号80を、プリフェッチされた命令コードが命令キューに格納されるのと同時に一致デコード信号保持手段B1に格納する。

(2) 次に命令コードが命令レジスタに転送されるのと同時に一致デコード信号保持手段B0に転送し、一致を示す場合(図2の実施例では(0, 1)、(1, 0)、

(1, 1))は命令レジスタとマイクロアドレスポインタを特定の値に設定し、その値をPLAのAND部91に入力する。

(3) PLAでは前記特定の値が入力されると、以下の動作を実行するマイクロプログラムを起動する。

【0055】(a) RAM上の所定のアドレスから修正プログラムの開始アドレス値を取得する。

【0056】(b) 取得した開始アドレス値に無条件分岐し、プログラムカウンタにそのアドレス値を設定する。

(4) 以下プログラムカウンタを順次インクリメント

(又はデクリメント)する事でRAM上に格納された修正プログラムを読み出し、実行する。

(5) 修正プログラムの最後でROM上のアドレスへの分岐命令を実行させることで一連のプログラム修正を完了させる。

【0057】命令レジスタ及びマイクロアドレスポインタを特定のアドレスに設定する方法としては、それぞれをセット又はリセット付きのレジスタで構成し、一致デコード信号で制御しても良いし、またはそれぞれの出力にANDゲートやORゲートを挿入して一致デコード信号でゲートしても良い。

【0058】図3及び図4に示した実施例では一致デコード信号を命令コードの解読タイミングまで保持する手段を有するため、変更命令の格納されるアドレスは単にプリフェッチアドレスと比較すればよく、プリフェッチアドレスは通常アドレスバスに出力されている為、修正アドレスレジスタとアドレスバスの比較を行うだけでよい為、プログラム変更装置の構成を容易にできる。

【0059】前述の実施例では命令解読器の構成をPLAを用いて実現してあるが、ランダムロジックを用いても構成が可能なことは言うまでもない。

【0060】また命令プリフェッチ時の命令キューは1段の場合について説明したが、2段以上の場合についても同様である。

【0061】本発明のプログラム変更装置では被修正命令の実行サイクルで、マイクロプログラムの実行によりRAM上の所定のアドレスから修正プログラムの開始アドレス値の取得

・取得した開始アドレス値に無条件分岐し、プログラムカウンタにそのアドレス値を設定

の動作を行うが、図5はこの時に修正プログラムの開始アドレスを格納するRAM上のアドレスを生成する手段の実施例を示す。

【0062】図において8はデコーダ、B0及びB1は命令と同じタイミングで一致デコード信号を保持する一致デコード信号保持手段であり、図3及び図4に示した実施例の一部分と同一である。

【0063】また図6は修正プログラムの開始アドレスを格納するRAM空間とアドレス信号のビット構成を示す。

【0064】図6(a)においてF0からF2は3組のプログラム変更装置に対応する修正プログラムの開始アドレス格納領域である。

【0065】本実施例では簡単化の為に修正プログラムを格納するRAMのアドレス空間を2<sup>16</sup>バイト(アドレス信号線は16ビット)、プログラム変更装置は図2に示す様に3組であるとするが、アドレス信号線及びプログラム変更装置の組数は任意の場合でも同様に考えることができる。

【0066】RAM空間のアドレス信号線が16ビットである為、図6(a)に示す様に修正プログラムの開始番地を格納する16ビット(2バイト)の領域を3組確保する。本実施例では領域F0(X'0202'とX'0203'番地)に図2(a)のプログラム変更装置3aの修正プログラム開始アドレスを、同様に領域F1(X'0204'とX'0205'番地)にプログラム変更装置3bの修正プログラム開始アドレスを、領域F2(X'0206'とX'0207'番地)にプログラム変更装置3cの修正プログラム開始アドレスを格納する。

【0067】一般的な16ビットマイクロコンピュータではRAM空間へのアクセスを16ビット単位で行うことができる。この場合は修正プログラムの開始アドレスを取得する為には一致信号を出力したプログラム変更装置3a~3cのいずれかに従って単にX'202'番地又はX'204'番地又はX'0206'番地のデータを16ビット単位で読み出せばよい。これらのアドレスは図6(b)に示すように16ビットのアドレス信号線のうち上位の15ビット(ビット3~ビット15)には固定値b'000000100000'を次の2ビット(ビット1~ビット2)は図2(b)のデコーダに従う一致デコード信号を、最後の1ビット(ビット0)は固定値b'0'を出力すればよい。一致デコード信号は図5に示す様に修正プログラムの開始番地取得タイミングで一致デコード信号保持手段B0に格納されるデータをアドレスバスに出力するだけでよく、容易に回路を構成できる。

【0068】また8ビットマイクロコンピュータの様に

一度に8ビットのデータしかアクセスできない場合は、8ビットデータを2回取得すればよく、図6(b)の最下位ビット(ビット0)を固定値ではなく、1度目のアドレス取得でb'0'を、2度目のアドレス取得でb'1'を出力する事で解決できる。

【0069】なお本実施例では一致デコード信号をビット1~ビット2の2ビットに出力するようにしたが、修正プログラム開始アドレス格納領域の構成や、RAM空間のアドレスビット幅、マイクロコンピュータの扱えるデータのビット幅(4ビット、8ビット、16ビット、32ビット、64ビット等)により任意のビット位置に出力する構成が考えられる。

【0070】また図2(b)のデコーダの構成により一致デコード信号がb'00'の場合はどのプログラム変更装置も一致信号を出力しない場合に割り当てた為、X'0200'~X'0201'番地は未使用としたが、デコーダの構成が変われば、割り当てる修正プログラム開始アドレス格納領域のアドレスも変わってくる事は言うまでもない。

【0071】図7は縮小化命令コードのフォーマットを示す。例えば図は16ビットマイクロコンピュータであるとする。この場合の縮小化命令コードの基本単位は8ビットであり、命令nは命令オペレーションコードが16ビット(M0~M1の2バイト)、オペランドが24ビット(M2~M4の3バイト)であるとする。また続く命令n+1は命令オペレーションコードが同じく16ビット(N0~N1の2バイト)、オペランドが16ビット(N2~N3の2バイト)であるとする。この場合図7(b)に示す様に命令nがX'0100'番地から格納されているとすると、X'0104'番地には命令nの最終コードM4が、X'0105'番地には命令n+1の最初のコードN0が格納される事になる。一般的な16ビットマイクロコンピュータでは命令を16ビット単位でフェッチする為、X'0104'番地とX'0105'番地はアドレスX'0104'番地のデータとして同時にフェッチされる事になる。

【0072】例えば被修正命令が命令n+1であった場合、修正アドレスレジスタにはX'0104'を格納する事になる。従って命令の境界が命令フェッチ単位の境界に無い場合は被修正命令の先頭を含むフェッチデータのアドレスを修正アドレスレジスタに指定する。

【0073】前述の例では16ビットマイクロコンピュータの場合についての場合であるが、松下電子工業製の8ビットマイクロコンピュータMN101シリーズのように8ビットマイクロコンピュータでありながら命令コードのフォーマットの基本単位が4ビットのマイクロコンピュータもある。また32ビットや64ビット以上のマイクロコンピュータでも同様である。

【0074】図7の例のように被修正命令が命令n+1で、修正アドレスレジスタ値がX'0104'の場合、

図3又は図4に示す命令キューA1には命令nの最終コードM4と、命令n+1の先頭コードN0が格納され、一致デコード保持手段B1には一致デコード信号が格納される。縮小化命令コードを用いるマイクロコンピュータでは命令解読器に於いて命令レジスタに命令キューから命令オペレーションコードを格納するときに、該当命令の命令オペレーションコードのみを抽出格納する手段を有している(図示せず)。

【0075】従って命令キューA1から命令オペレーションコードのみを抽出し、命令レジスタA0に格納するタイミングで一致デコード信号を一致デコード信号保持手段B1からB0に転送すればよく、転送後は前述のとおりに一致を検出し、マイクロプログラムの実行により(1)RAM上の所定のアドレスから修正プログラムの開始アドレス値の取得

(2)取得した開始アドレス値に無条件分岐し、プログラムカウンタにそのアドレス値を設定

の動作を行い同様にプログラムの変更が可能となる。

【0076】従って本発明によると、命令コードのフォーマットの如何に関わらず被修正命令の実行サイクルでその命令の修正が可能である。

【0077】

【発明の効果】以上の様に本発明は、RAMに格納される修正プログラムの開始アドレスを同RAM内の予め定められた所定のアドレスに格納し、所望の修正箇所のアドレスを格納する為の修正アドレス記憶手段を有し、命令をフェッチアドレスと修正アドレス記憶手段に格納されたアドレスとを比較し、一致した場合に一致信号を出力する比較回路と複数の比較回路の一致出力をデコードする回路を具備し、更にCPUの命令解読器には、前記比較回路が一致信号を出力した事を検知する手段を備え、一致信号を検知すると前記命令解読器はマイクロ命令の実行により前記RAMの所定のアドレスから修正プログラムの開始アドレスを取得し、プログラムの実行を同RAM内の修正プログラムの開始番地へ分岐させるような構成を設ける事により、(1)回路規模の増大を最小限に留め、(2)修正プログラムの大きさの制限を緩和し、(3)修正プログラムの実行を開始するまでの時間遅れを最小限に留め、(4)命令先読み技術を用いたマイクロコンピュータでも修正箇所のアドレスを直接指定可能で、(5)縮小化命令を用いたマイクロコンピュータでも修正箇所のアドレスを直接指定可能な優れたマイクロコンピュータのプログラム変更装置を実現できるものである。

【図面の簡単な説明】

【図1】実施例全体を示すブロック図

【図2】プログラム変更装置と一致信号出力手段の実施例を示す図

【図3】命令解読器の第1の実施例を示す図

【図4】命令解読器の第2の実施例を示す図

【図5】アドレス生成手段を示す図

【図6】修正プログラム開始アドレス格納領域を示す図

【図7】縮小化命令コードの一例を示す図

【図8】第1の従来例を示す図

【図9】第2の従来例を示す図

【図10】第3の従来例を示す図

【符号の説明】

1 プログラムカウンタ

2 ROM

3、3a~3n プログラム変更装置

31 修正アドレスレジスタ

32 比較回路

33 修正命令レジスタ

34 割込ベクタレジスタ

35 分岐アドレスレジスタ

36 分岐命令発生回路

4 選択回路

5 命令読解器

6 RAM

7、7a、7b 一致信号

8 デコーダ

81、82 一致デコード信号

9 PLA

91 PLAのAND部

92 PLAのOR部

A0 命令レジスタ

A1 命令キュー

B0、B1 一致デコード信号保持手段

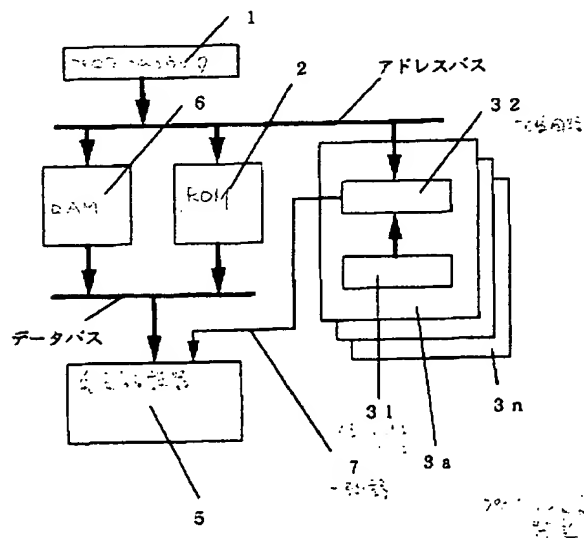
C マイクロアドレスポインタ

D 制御信号

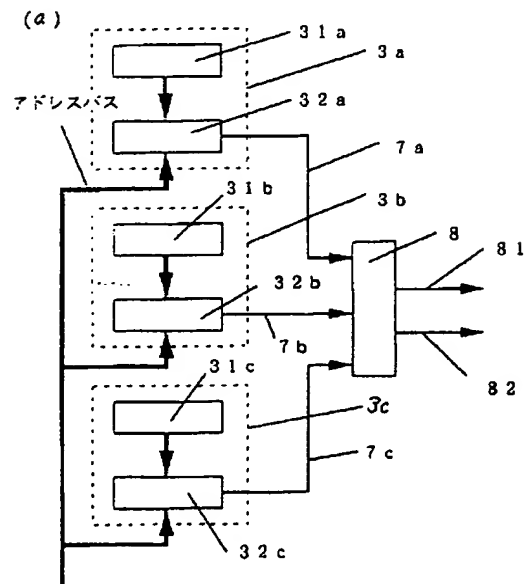
E マイクロアドレス制御信号

F0、F1、F2 修正プログラム開始アドレス格納領域

【図1】



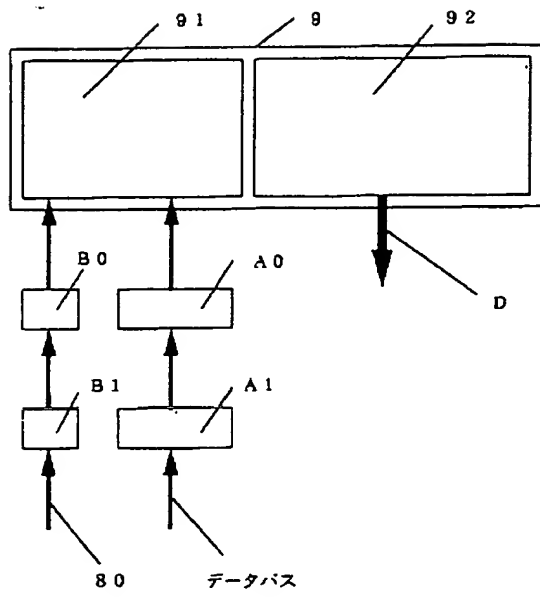
【図2】



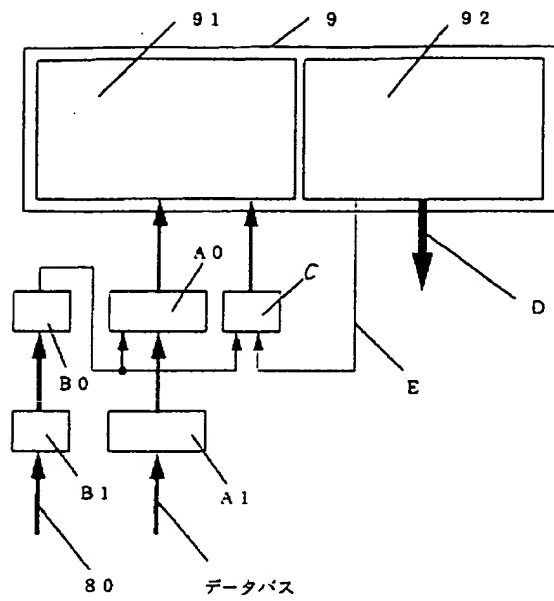
(b)

7c	7b	7a	82	81
0	0	0	0	0
0	0	1	0	1
0	1	0	1	0
1	0	0	1	1

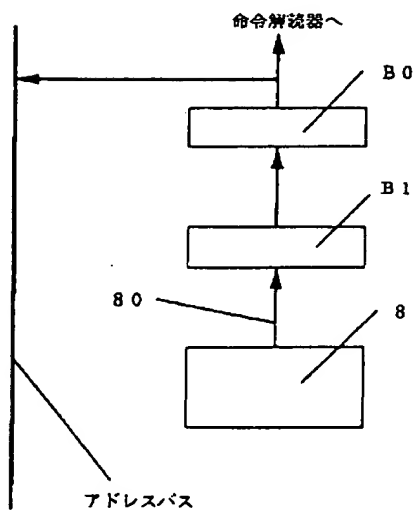
【図3】



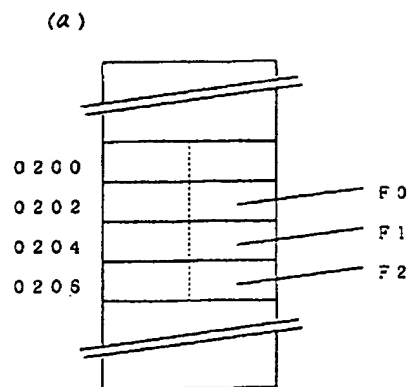
【図4】



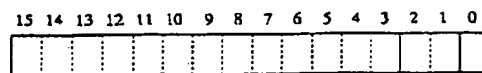
【図5】



【図6】

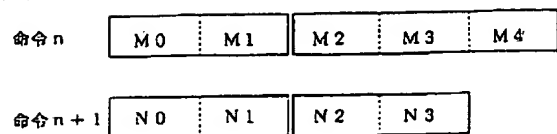


(b)

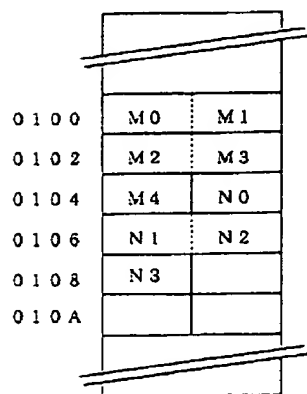


【図7】

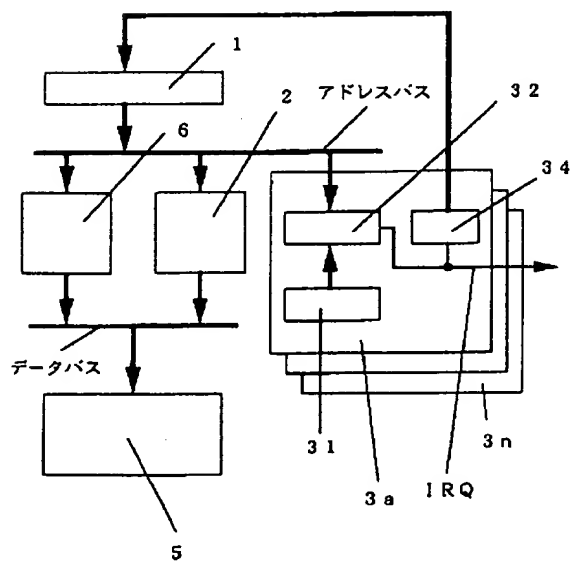
(a)



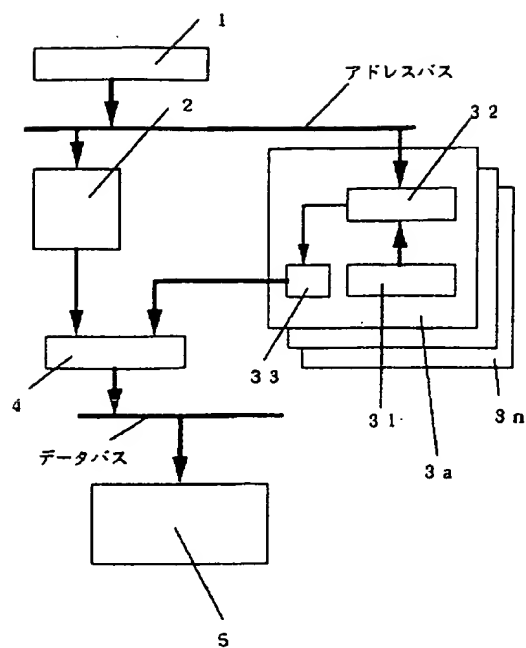
(b)



【図9】



【図8】



【図10】

